

【特許請求の範囲】

【請求項1】 所定のフォーマットにコード化されたデータのストリームが多重化されたパケットを受信してデコードする装置において、

受信したパケットのタイミングと、前記コード化されたデータのデコーダがデータを読み込むタイミングとの差を吸収するための一時蓄積手段と、

前記デコーダを動作させるための基準となるクロック信号を前記フォーマット中の基準信号に基づいて作成する手段と、

前記パケットに定期的に付加される時刻に基づいて、前記基準信号の位置を算出する手段とを備えることを特徴とするパケット受信装置。

【請求項2】 一時蓄積手段には、受信したパケットから抽出した単一のプログラムのデータのストリームが書き込まれる請求項1記載のパケット受信装置。

【請求項3】 受信したパケットから抽出したデータのストリームが単一の一時蓄積手段を介してデコーダに供給される請求項1又は2記載のパケット受信装置。

【請求項4】 デコーダを動作させるためのクロック信号を作成する手段が単一のPLLを有する請求項1、2又は3記載のパケット受信装置。

【請求項5】 基準信号の位置を算出する手段は、受信したパケットから抽出したデータの所定のフォーマット中の位置情報とストリーム中の周期的位置情報とから、前記時刻から前記基準信号までの時間差を算出する第1の手段と、該時間差を伝送路のクロック数に換算する第2の手段とからなる請求項1～4のいずれか1項に記載のパケット受信装置。

【請求項6】 第2の手段は、データのストリームのクロック信号をカウントする第1のカウンタと、伝送路のクロック信号をカウントする第2のカウンタと、第1の手段が算出した時間差と第1のカウンタの出力値とが一致した時の第2のカウンタの出力値をラッチするラッチとからなる請求項5記載のパケット受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IEEE-P1394に準拠した通信制御バス（以下「P1394シリアルバス」という。）を用いて、MPEGのトランスポートストリームが多重化されたパケットを受信、再生する装置に関する。

【0002】

【従来の技術】従来、P1394シリアルバスにより複数の機器を接続し、これらの機器間で通信を行うシステムが考えられている。

【0003】図5にこのようなシステムの例を示す。このシステムは3台のデジタルビデオテープレコーダ（VTR1～3）、1台のデジタルカムコーダ（CAM）、及び1台のデジタルテレビジョン受信機（TV1）を備

えている。そして、各機器の間はP1394シリアルバスのケーブルにより接続されている。各機器はP1394シリアルバスのケーブルから入力される情報信号及び制御信号を中継する機能を持っているので、この通信システムは各機器が共通のP1394シリアルバスに接続されている通信システムと等価である。

【0004】バスを共有している機器におけるデータ伝送は、図6のように所定の通信サイクル（例えば125μsec）毎に時分割多重によって行なわれる。バス上における通信サイクルの管理はサイクルマスターと呼ばれる所定の機器により行われ、サイクルマスターが通信サイクルの開始時であることを示す同期パケット（サイクルスタートパケット）をバス上の他の機器へ伝送することによってその通信サイクルにおけるデータ伝送が開始される。なお、サイクルマスターはP1394シリアルバスに各機器を接続して通信システムを構成すると、IEEE-P1394で規定する手法により自動的に決定される。

【0005】一通信サイクル中におけるデータ伝送の形態は、ビデオデータやオーディオデータなどの同期型（Isynchronous）データと、接続制御コマンド等の非同期型（Asynchronous）データの2種類である。そして、同期型データパケットが非同期型データパケットより先に伝送される。同期型データパケットそれぞれにチャンネル番号1、2、3、・・・Nを付けることにより、複数の同期型データを区別することができる。送信すべき全てのチャンネルの同期型データパケットの送信が終了した後、次のサイクルスタートパケットまでの期間が非同期型データパケットの伝送に使用される。

【0006】

【発明が解決しようとする課題】このように構成された通信システムにおいて、1つのチャンネルの同期型データパケット内に複数プログラムのMPEGのトランスポートパケットを多重化して伝送することを考える。

【0007】MPEGのトランスポートパケットは、図7に示すように、188バイトの長さを持ち、リンクヘッダー、アダプテーションヘッダー、及びペイロード（データ部）から構成されている。そして、リンクヘッダーにはプログラムIDが設けられている。また、アダプテーションヘッダーは、その先頭から2バイト目からProgram Clock Reference（以下「PCR」と略す。）が設けられている。

【0008】プログラムIDはプログラムを識別するコードであり、PCRは1つのチャンネルの同期型データパケット内に複数プログラムのMPEGのトランスポートパケットのストリーム（以下「トランスポートパケットのストリーム」を「トランスポートストリーム」という。）を多重化して伝送する場合に、受信側において各プログラムのデータを抽出する時間の基準（タイムベ

ス)となるものである。受信側では、所望のプログラムを受信したい場合には、P1394シリアルバスを経て受信した同期型データバケットからMPEGのトランスポートストリームを作成し、そのトランスポートストリームから所望のプログラムに対応するPCRを読み出し、MPEGデコーダへ供給する27MHzのクロック信号を生成するPLLをロックする。

【0009】しかし、この方法ではトランスポートストリームを読み出すためのクロック信号を作成するためのPLLと、デコーダに出力する27MHzのクロック信号を作成するためのPLLの、計2個のPLLが必要であるという問題点があった。

【0010】また、受信した同期型データバケットからトランスポートストリームを作り出すためのFIFOと、トランスポートストリームのタイミングとデコーダがデータを読み込むタイミングの差を吸収するためのFIFOの、計2個のFIFOが必要であるという問題点があった。

【0011】本発明は、このような問題点を解決するためになされたものであって、単一のPLLと単一のFIFOにより、複数のプログラムが多重化されたMPEGのトランスポートストリームをデコードできるバケット受信装置を提供することを目的とする。

【0012】

【課題を解決するための手段】前記課題を解決するために、本発明は、所定のフォーマットにコード化されたデータのストリームが多重化されたバケットを受信してデコードする装置において、受信したバケットのタイミングと、前記コード化されたデータのデコーダがデータを読み込むタイミングとの差を吸収するための一時蓄積手段と、前記デコーダを動作させるための基準となるクロック信号を前記フォーマット中の基準信号に基づいて作成する手段と、前記バケットに定期的に付加される時刻を用いて前記基準信号の位置を算出する手段とを備えることを特徴とする。

【0013】ここで、前記一時蓄積手段には、受信したバケットから抽出した単一のプログラムのデータのストリームが書き込まれる。また、受信したバケットから抽出したデータのストリームが単一の一時蓄積手段を介してデコーダに供給される。

【0014】さらに、デコーダを動作させるためのクロック信号を作成する手段が単一のPLLを有する。また、基準信号の位置を算出する手段は、受信したバケットから抽出したデータの所定のフォーマット中の位置情報とストリーム中の周期的位置情報とから、前記時刻から前記基準信号までの時間差を算出する第1の手段と、該時間差を伝送路のクロック数に換算する第2の手段とからなる。

【0015】そして、第2の手段は、データのストリームのクロック信号をカウントする第1のカウンタと、伝

送路のクロック信号をカウントする第2のカウンタと、第1の手段が算出した時間差と第1のカウンタの出力値とが一致した時の第2のカウンタの出力値をラッチするラッチとからなる。

【0016】

【作用】本発明によれば、受信したバケットのタイミングとデコーダがデータを読み込むタイミングとの差が一時蓄積手段により吸収される。また、受信したバケットから抽出した所定のフォーマットの基準信号を基にデコーダを動作させるためのクロック信号を作成する。そして、この基準信号の位置はバケットに定期的に付加される時刻を用いて算出する。

【0017】したがって、本発明によれば、受信側では所定のフォーマットにコード化されたデータのストリームを再生することなく、基準信号を読み出し、デコーダを動作させるためのクロック信号を生成することができる。

【0018】

【実施例】以下に5個のプログラムが多重化された19.3MHzのトランスポートストリームをP1394シリアルバスの同期型データバケットで伝送し、それを受信し、受信したトランスポートストリームの中から指定された一つのプログラムを抽出し、NTSC方式のビデオ信号に変換して出力する実施例について、〔1〕送信側のタイミング、〔2〕受信側のタイミング、〔3〕受信装置、〔4〕受信装置の変形例、の順で説明をする。

【0019】〔1〕送信側のタイミング

まず図1を参照しながら送信側のタイミングについて説明する。この図で、(a)は入力されるトランスポートストリーム、(b)はデータブロック番号(詳細は後述する。以下「DBN」という。)、(c)は送信されるバケットを示す。

【0020】P1394シリアルバスでは、図1に示すように125μs毎にバケットを出力する。入力されたトランスポートストリームはこの125μs単位でバケット化され伝送される。ここでは、期間T1で送信装置のFIFO(図示せず)に書かれたトランスポートストリームはバケットP1として、期間T2で書かれたトランスポートストリームはバケットP2として伝送される。

【0021】P1394シリアルバスでは通常、1クアドレット(32ビット)単位でデータを伝送した方が都合が良いので、入力されたトランスポートストリームを送信装置内のシリアル/パラレル変換器によって、1クアドレットのパラレルデータに変換する。図1(a)のトランスポートストリームは1クアドレット単位のパラレルデータになった後の状態を示している。

【0022】P1394シリアルバスで伝送される全てのバケットには、バケット長とDBNが付与されてい

10

20

30

40

50

る。本実施例では、入力されるトランスポートストリームを仮想的に一定の周期で繰り返すビット列の集合と考え、すなわち現実には一定の周期を持っていないか他の周期で繰り返しているトランスポートストリームを一定の周期で繰り返しているビット列の集合とみなし、仮想的にフレーミングをしている。このフレーミングを行うために、入力されるトランスポートストリームのビットレートと同じ速度で動作するカウンタを用いている。このカウンタの出力値が図1の(b)に示すDBNである。DBNとは各パケットの最初に書かれている、クアドレットをカウントしている、カウンタの出力値である。

【0023】また、パケットにはシンクタイム(Sync Time)が付与されているものと、されていないものがある。これは、そのパケットで伝送されるデータの中に、DBNが0のデータが含まれるかどうか依存する。シンクタイムとはDBNが0の時の、P1394のサイクルタイマーが示す時刻のことである。このサイクルタイマーは、各機器内に設けられており、所定の周期(例、128秒)で一周する時刻を持っている。

【0024】送信側と受信側のクロック信号は独立しており、同期をしていないため、クロック信号の誤差が累積し、送信側でビットストリームをFIFOに書き込む速度と、受信側でビットストリームをFIFOから読み出す速度が少しずつずれてくる。これを調節するための情報としてシンクタイムを用いる。

【0025】シンクタイムは一つのパケット中に一つしか存在できない。したがって、フレーミングを行うためのカウンタはP1394の周期(125μs)よりも長くなくてはならない。本実施例では一周期の長さがほぼ167μsのカウンタ、例えば600kHzのクロック信号を100カウントしたら一周するカウンタを用いた。

【0026】図1の周期T1ではDBNが0になっているので、パケットP1にはシンクタイムが付与されている。同様に、周期T3中にもDBNが0になるので、パケットP3にはシンクタイムが付与されている。しかし、周期TではDBNが0にならないので、パケットP2にはシンクタイムは含まれていない。

【0027】〔2〕受信側のタイミング
次に図2を参照しながら受信側のタイミングについて説明をする。この図で、(a)は受信したパケット、

(b)は仮想トランスポートストリーム、(c)DBNを出力するためのカウンタの出力値、(d)パケットカウンタの出力値を示す。なお、ここで(a)、(c)、(d)は時間軸方向に関連があるが、(b)は関連がない。

【0028】受信側にもDBNを出力するためのカウンタ(以下「DBNカウンタ」という。)と、受信したパケット中のトランスポートパケットの位置を示すための

カウンタがある。これらのカウンタの出力がそれぞれ図2(c)と(d)である。

【0029】パケットが受信されると、パケット中からデータが1クアドレット読み出される毎にDBNとパケットカウンタの出力値が1ずつ増加する。DBNは周期が100なので99の次は0になる。また、パケットカウンタの出力値は46の次に0になる。これはトランスポートパケットの長さが47クアドレット(188バイト)とMPEGが規定していることによる。

【0030】受信したパケットからDBNが読み出されると、DBNカウンタの出力値はパケット中に書かれているDBNに強制的に合わせられる。図2のパケットP4にはDBN=99が書かれているので、DBNカウンタは強制的に99に合わせられる。正常に動作していればDBNカウンタの出力値は、パケットP4のDBNを受け取った時点では99の筈である。

【0031】受信側では、これらDBNカウンタの出力値とパケットカウンタの出力値とシンクタイムとを用いて、前記したPCRを再生すべき時刻を求め、送信側と同じ27MHzのクロック信号を再現する。この方法を以下に示す。

【0032】まず、トランスポートストリームのプログラムIDを読み、現在、読み出しているプログラムが指定されたプログラムかどうかを調べる。もし、指定されたプログラムであったら、パケットカウンタの出力値が1の所のDBNの値を読む。1の所を読む理由は、図7に示したように、PCRがトランスポートパケットの2クアドレット目に書き込まれているからである。

【0033】この時のDBNカウンタの値は、受信したパケットに書かれていたシンクタイムからのクアドレット数である。したがって、この数にトランスポートストリームと同期したクロック信号の一周期の長さを乗ずれば、シンクタイムが示す時刻からPCRまでの時間を求めることができる。さらに、この時間をP1394の基準クロック信号である24.576MHzでのクロック数に換算し、その値をシンクタイムに加えることによってPCRを再生すべき時刻を求めることができる。図2(b)に示す仮想トランスポートストリームはその様子を示したものである。なお、この仮想トランスポートストリームは、説明の便宜上記載したものであって、本受信装置では、実際にトランスポートストリームを再生しない。

【0034】〔3〕受信装置
次に図3を参照しながら受信装置のブロック図の説明をする。なお、この受信装置(前記した送信装置も同様)は例えば図5に示した通信システムの場合、各機器の内部に設けられる。そして、この受信装置の出力は、各機器のビデオデータ処理ブロックへ送られる。

【0035】P1394シリアルバス1を介して伝送されたパケットはP1394インターフェイス(以下「P

1394「I/F」という。)2で受信され、プログラム抽出回路3、PCR抽出回路4、シンクタイム抽出回路5、バケットカウンタ6、プログラムID抽出回路7、DBN抽出回路8へ出力される。

【0036】プログラム抽出回路3はプログラムナンバーPGNで指定されるプログラムを抽出し、FIFO9に書き込む。FIFO9に書き込まれたプログラムはパラレル/シリアル変換回路10でシリアルビットストリームに変換された後、システムレイヤー処理ブロック11へ出力され、MPEGのシステムレイヤーでの処理が行われる。これによりビットストリームがデコーダ12にとって都合のよいフォーマットに変換される。

【0037】デコーダ12はPLL13から入力される27MHzのクロック信号に同期してシステムレイヤー処理ブロック11からデータを読み込み、NTSCエンコーダ14へ出力し、NTSCエンコーダ14はNTSC方式のビデオ信号をビデオデータ処理ブロックへ出力する。

【0038】DBN抽出回路8はバケット中からDBNを抽出し、DBNカウンタ15に出力する。DBNカウンタ15は、DBN抽出回路8からDBNが入力されると、その値がセットされ、それ以外の時はP1394 I/F2がデータを1クアドレット出力する毎にカウンタアップをし、周期は100で動作する。

【0039】バケットカウンタ6は、受信したバケット中のトランスポートストリームからプログラムナンバーPGNで指定されるトランスポートバケットの現在のクアドレット位置を、フレーム同期をとることによって出力している。

【0040】比較回路16ではバケットカウンタ6の値が1で、プログラムID抽出回路7の出力値がプログラムナンバーPGNと同じになったら、ラッチ17に出力をする。前記したように、プログラムIDは各トランスポートバケット毎に付与されている、プログラム毎に付けられた固有の値である。

【0041】ラッチ17では比較回路16から入力があると、その時のDBNカウンタ15の出力値をラッチし、計算回路18に出力をする。この時のDBNは受信したバケットに書かれていたシンクタイムが示す時刻からPCRまでのクアドレット数である。

【0042】計算回路18ではこの値にトランスポートストリームと同期したクロック信号の一周期である52nsを乗じ、P1394の基準クロック信号である24.576MHzの一周期である41nsで割り、PCRまでの時間をP1394でのクロック数に換算する。

【0043】一方シンクタイム抽出回路5はトランスポートバケットからシンクタイムtsを抽出し、加算器19へ出力する。加算器19はシンクタイムtsに所定の遅延時間tdを加算し、その結果を加算器20へ出力する。遅延時間tdを加える理由は、バケットに書かれて

いるシンクタイムの時刻は送信側の時刻であり、受信側でバケットが受信され、そのバケットに書かれたデータがビットストリームとして読みだされた時には、バケットのジッタΔT等の要因でシンクタイムの時刻を過ぎているからである。なお、このジッタはP1394シリアルバスの仕様上生ずるものである。

【0044】加算器20は加算器19の出力と計算回路18の出力とを加算し、比較回路21へ出力する。比較回路21ではサイクルタイマー22と加算器20が出力した値とを比較し、同じ値になったらラッチ23、24に出力をする。

【0045】PCR抽出回路4はトランスポートバケットの2クアドレット目に入っているPCRを抽出する。そして、比較回路21の出力によりPCR抽出回路4で抽出されたPCRがラッチ23でラッチされ、カウンタ25の出力がラッチ24でラッチされる。カウンタ25はPLL13が出力する27MHzのクロック信号で動作し、送信側で生成したPCRと同じアルゴリズムで動作する。

【0046】減算回路26ではラッチ23からの入力値とラッチ24からの入力値の差を求め、その差分をPLL13へ出力する。ここで、ラッチ23にラッチされるのは送信側で作成されたPCRである。一方ラッチ24にラッチされるのは受信側のカウンタ25が作成したPCRである。PLL13は、減算回路26の出力に応じて出力クロック信号の位相を調節し、ラッチ24の出力がラッチ23の出力と同じになるようにする。これらの処理により、受信側のカウンタで作成したPCRの位相を送信側で作成したPCRの位相に合わせることができ、PLL13のクロック信号を送信側のクロック信号に対して同期を確立することができる。

【0047】〔4〕受信装置の変形例
次に図4を参照しながら受信装置の変形例について説明する。ここでは図3と異なる部分のみ説明する。

【0048】ラッチ31の入力は、図3のラッチ17と同じDBNカウンタ15の出力と比較回路16の出力である。ラッチ31は、ラッチした値を比較回路32へ出力すると共にラッチしたタイミングでカウンタ34、35をリセットする。

【0049】カウンタ34はMPEGのトランスポートストリームと同期した19.3MHzのクロック信号でカウントアップし、カウンタ35はP1394のクロック信号である24.576MHzのクロック信号でカウントアップする。

【0050】比較回路32はカウンタ34の出力とラッチ31の出力が一致したら、ラッチ33へ信号を出力し、ラッチ33はその時のカウンタ35の出力値をラッチする。この結果、ラッチ33の出力は図3の計算回路18の出力と等しくなる。

【0051】この変形例によれば、図3の計算回路18

における計算が簡単なハードウェアで実現できる。また、送信側で特定のプログラムのみを選択して送信した場合でも対応が可能である。

【0052】

【発明の効果】以上詳細に説明したように、本発明によれば、所定のフォーマットにコード化されたデータのストリームを再生することなく、基準信号を読み出し、デコーダを動作させるためのクロック信号を生成することができる。

【0053】したがって、例えばP1394シリアルバスを用いて伝送されたMPEGのトランスポートストリームから、受信側でトランスポートストリームを再生することなく、PCRを読み出し、デコーダを動作させるための27MHzのクロック信号を生成することができる。

【0054】また、本発明によれば、送信側で所定のフォーマットにコード化されたデータのストリームが多重化されたパケットの受信とデータのデコードを単一の一時蓄積手段とPLLとを有する受信装置により実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例における送信側の信号のタイミング

* ングの一例を説明する図である。

【図2】本発明の実施例における受信側の信号のタイミングの一例を説明する図である。

【図3】本発明における受信装置の一例を示すブロック図である。

【図4】本発明における受信装置の変形例を示すブロック図である。

【図5】P1394シリアルバスを用いた通信システムの一例を示す図である。

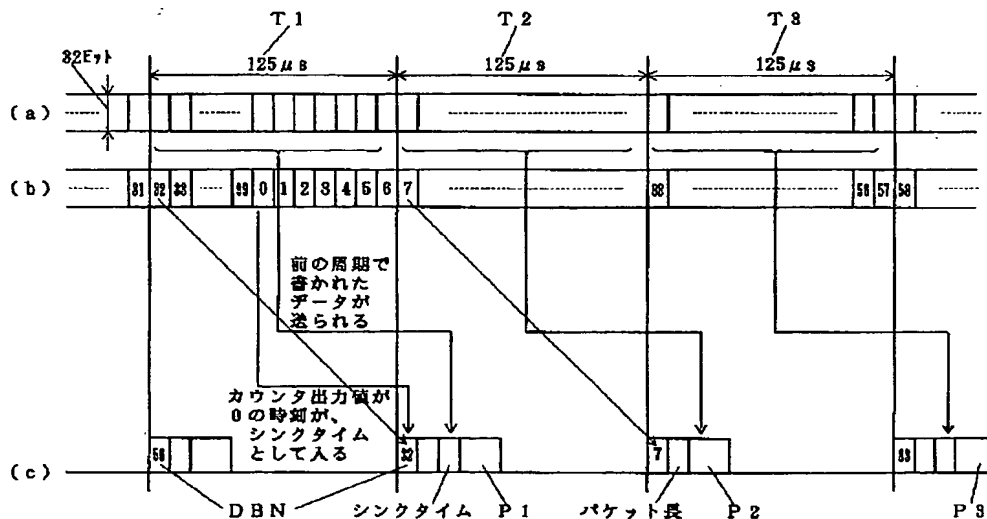
【図6】P1394シリアルバスにおける通信サイクルの一例を示す図である。

【図7】MPEGのトランスポートパケットを示す図である。

【符号の説明】

P1～P4…パケット、1…P1394シリアルバス、5…シンクタイム抽出回路、6…パケットカウンタ、7…プログラムID抽出回路、8…DBN抽出回路、9…FIFO、12…デコーダ、13…PLL、15…DBNカウンタ、16, 32…比較回路、17, 31, 33…ラッチ、18…計算回路、19, 20…加算器、34, 35…カウンタ

【図1】

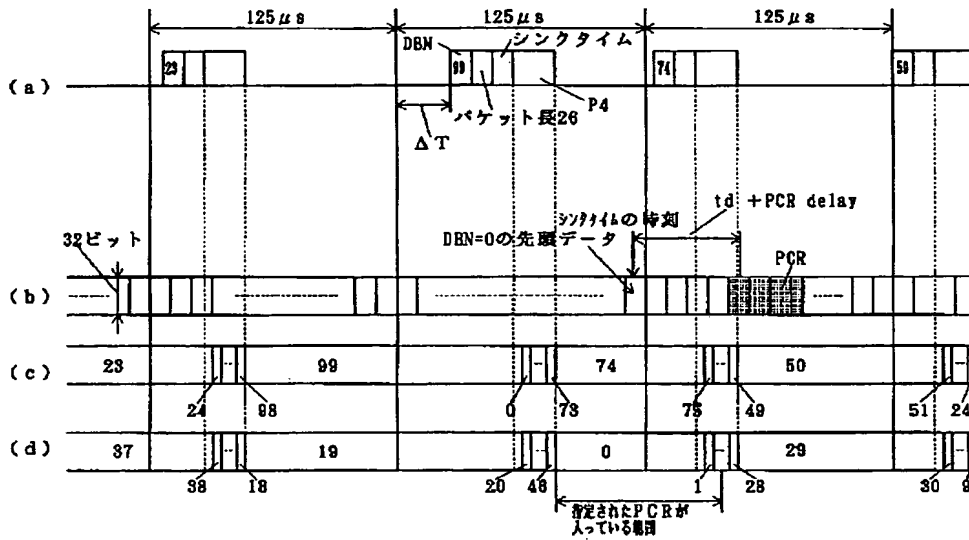


【図6】

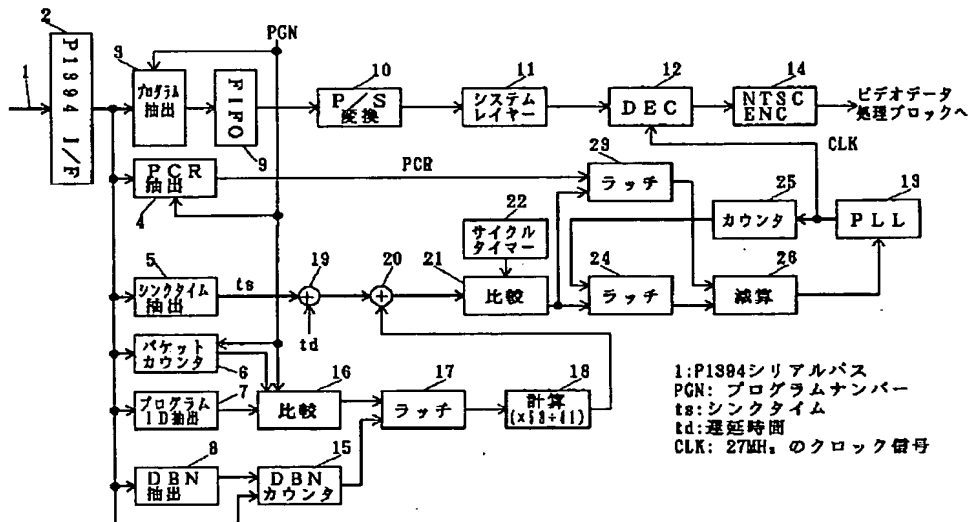


CSP: サイクルスタートパケット
Iso: 同期型データパケット
Async: 非同期型データパケット

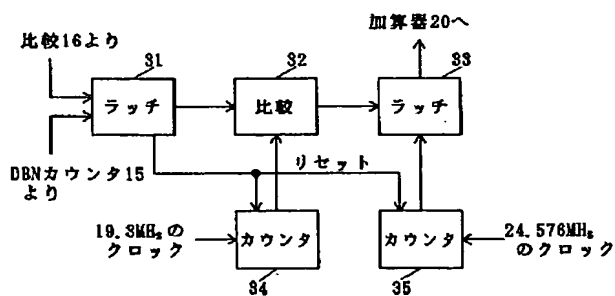
【図2】



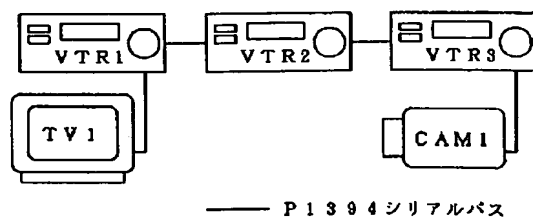
【図3】



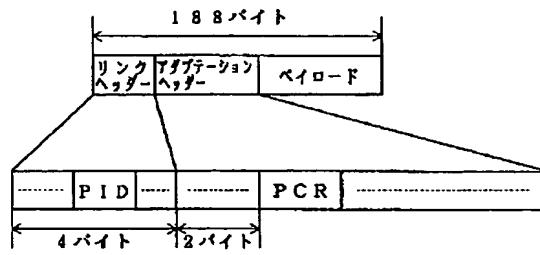
【図4】



【図5】



【図7】



PID: プログラムID
 PCR: Program Clock Reference

フロントページの続き

(51)Int.Cl.[°]

H04L 7/033

12/56

H04N 7/24

識別記号

片内整理番号

FI

技術表示箇所

9466-5K

H04L 11/20

H04N 7/13

102 B

Z

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.